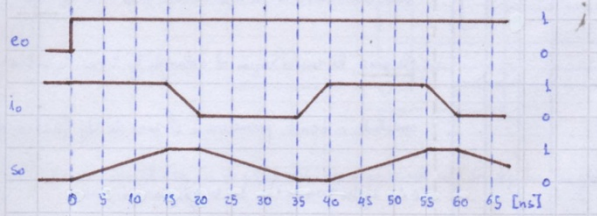


## Ejercicio 14:

14) a) Sabiendo que inicialmente  $e_0$ ,  $i_0$  y  $s_0$  están en 0, 1 y 0 respectivamente,  $e_0$  cambia a 1 en tiempo 0 y los retardos de los compuertas AND y NOT son 15ns y 5ns.

respectivamente, el diagrama temporal desde 0ns hasta 65ns es de la forma:



b) Puede notarse en la configuración del punto anterior que  $s_0$  no alcanza un valor estable. Esto se debe a que al estar  $e_0$  en 1 tenemos las siguientes cosas:

\* Si  $i_0 = 1$ , luego la compuerta AND producirá un 1 a la salida luego de un retardo de 15ns, y se tendrá  $s_0 = 1$ , que entra a la compuerta NOT y luego de 5ns hace que  $i_0 = 0$ . Mientras tanto, si  $i_0 = 0$  la compuerta AND producirá un 0 a la salida

y  $s_0 = 0$  luego de un retardo de 15ns. Luego,  $s_0$  entra a la compuerta NOT y genera que  $i_0 = 1$  con un retardo de 5ns.

Queda ver que un caso muestra a continuación del otro si  $e_0 = 1$ , y se repite una y otra vez, por lo que no se vuelve estable.

Por otro lado, si  $e_0 = 0$  tenemos las siguientes cosas: \* Si  $i_0 = 1$  luego la compuerta AND produce un 0 a la salida con un retardo de 15ns y  $s_0 = 0$ . Sin embargo, como  $s_0$  al estar en la compuerta NOT se que  $i_0$  ya es 1, no se producen cambios de estado a la salida y por lo tanto los entornos de la compuerta AND se estabilizan, haciendo  $s_0$  mantener un valor estable de 0 que estabiliza la compuerta NOT, haciendo que el circuito se mantenga estable.

Además, si  $i_0 = 0$  luego la compuerta AND produce un 0 a la salida luego de un retardo de 15ns y  $s_0 = 0$ . Este entra a la compuerta NOT y genera que  $i_0 = 1$  luego de un retardo de 5ns. Esta segunda se tiene el primer caso donde el circuito se vuelve estable. En conclusión, se alcanza un valor estable si  $e_0 = 0$ .